

107523789

Rec'd PCT/PTO 09 FEB 2005

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 6 月 10 日 (10.06.2004)

PCT

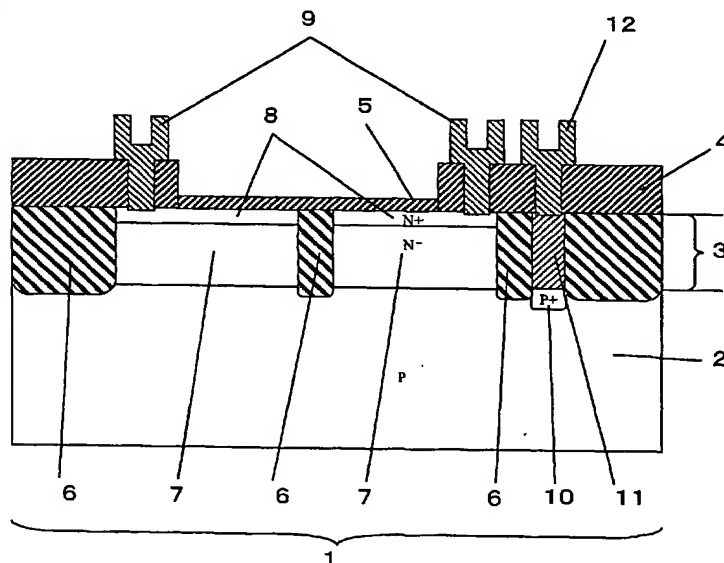
(10) 国際公開番号
WO 2004/049460 A1

- (51) 国際特許分類: H01L 31/10, 27/14
(21) 国際出願番号: PCT/JP2003/014278
(22) 国際出願日: 2003 年 11 月 10 日 (10.11.2003)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2002-345178
2002 年 11 月 28 日 (28.11.2002) JP
(71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒571-0050 大阪府 門真市
大字門真1006番地 Osaka (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 伊藤 良一
(ITO, Ryoichi) [JP/JP]; 〒601-8205 京都府 京都市 南区
久世殿城町479-1 レオパレス21ビル 2F 204 Kyoto (JP). 安川
久忠 (YASUKAWA, Hisatada) [JP/JP]; 〒610-0357 京都
府 京田辺市 山手東1-10-12 Kyoto (JP).
(74) 代理人: 宮井 暎夫 (MIYAI, Teruo); 〒540-0008 大阪府
大阪市 中央区大手前1丁目7番31号 宮井特許事務所
Osaka (JP).
(81) 指定国 (国内): CN, US.
添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: OPTICAL SEMICONDUCTOR DEVICE

(54) 発明の名称: 光半導体装置



(57) Abstract: Conventionally, a plurality of light receiving elements used impurity diffusion and implantation regions to form electrodes from a semiconductor substrate, so that the series resistance was relatively large, which made it difficult to improve the frequency characteristic of the light receiving elements. According to the present invention, the frequency characteristic of the light receiving elements can be improved by using separation regions (6) of insulator or dielectric to separate the light receiving elements from each other so as to reduce the parasitic capacitance, and further by making a contact directly from a P-type semiconductor substrate (2) serving as an anode region in a conductor implantation region (11) formed by implanting a conductor of a low resistance into an aperture formed in a separation region (6) so as to reduce the series resistance.

(57) 要約: 従来、複数の受光素子は不純物の拡散および埋め込み領域により半導体基板から電極を引き出しているためシリーズ抵抗が比較的大きく、受光素子の周波数特性の向上が困難であった。本発明は、

[続葉有]

WO 2004/049460 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

受光素子間を絶縁体または誘電体の分離領域6で分離することにより寄生容量を低減し、さらに分離領域6に形成した開口に低抵抗の導電体を埋め込んだ導電体埋め込み領域11でアノード領域となるP型半導体基板2から直接コンタクトを取ることでシリース抵抗が低減されるため、受光素子の周波数特性を向上することができる。

明 細 書

光半導体装置

技術分野

本発明は、光電変換信号を処理する受光素子および回路内蔵受光素子に関し、特にシリーズ抵抗を低減して、高速動作する受光素子および回路内蔵受光素子を実現するための光半導体装置に関するものである。

背景技術

従来からC DやD V D等の光ディスク装置において、ディスクから反射されたレーザ光の検出を行うために複数の受光領域を持つ光半導体装置が用いられている。近年、光ディスク装置の小型高性能化に伴い、外来ノイズに強く、高速動作する回路内蔵の受光素子が主流となってきている。また、D V Dの光ディスク装置において高性能化のため、光半導体装置の高速、高感度、低ノイズがより要求されている。

従来の光半導体装置は、不純物の拡散および埋め込み領域により半導体基板から電極を引き出しているためシリーズ抵抗が比較的大きく、受光素子の周波数特性の向上に限界がある（例えば、日本特許第2 7 9 3 0 8 5号公報参照）。また、トレンチ分離により寄生容量を低減して受光素子の周波数特性の向上が可能であるが、これに加えてシリーズ抵抗の低減による受光素子の周波数特性の向上は提案されていない（例えば、日本特開平9 - 2 1 3 9 1 7号公報参照）。

以下、図面を用いて従来の光半導体装置の構造とその課題について説明する。

図6は、従来の光半導体装置の構造を示す断面図である。図6におい

て、101は受光素子形成領域である。102はP型半導体基板、103はP型半導体基板102上に成膜されたN型半導体層の形成層（形成領域）、104はN型半導体層（103）上に成膜された絶縁膜、105は受光素子に形成された反射防止膜、106は複数の受光素子間を分離する絶縁体または誘電体分離領域である。107は受光素子のカソード領域、108はカソード領域107上に形成されたカソードコンタクト領域、109はカソードコンタクト領域108上に形成されたカソード電極である。一方、110はアノード領域であるP型半導体基板102上に選択的に形成されたアノード引き出し領域、111はアノード引き出し領域110上に形成されたアノードコンタクト領域、112はアノードコンタクト領域111上に形成されたアノード電極である。

このようなP型半導体基板102をアノード領域とし、その上のN型領域をカソード領域107とする受光素子では、光が受光領域に入射されることによって電子正孔対が生成され、この生成されたキャリアは逆バイアスを印加した受光素子のPN接合部近傍における空乏層内の電界によりドリフトされて電極より光電流として出力される。一方、キャリア濃度勾配による拡散電流も電極より光電流として出力されるが、一般的に拡散時間はドリフト走行時間よりも長いため受光素子の周波数特性を低下させる要因の一つとなっている。

また、アノード部は不純物の拡散および埋め込み領域により半導体基板から電極を引き出しているためシリーズ抵抗が比較的大きく、受光素子の周波数特性の向上を困難にしている。

本発明の目的は、シリーズ抵抗を低減して受光素子の周波数特性を向上できる光半導体装置を提供することであり、さらには、拡散移動による低速なキャリア成分による受光素子の周波数特性の低下をも阻止できる光半導体装置を提供することである。

発明の開示

本発明の光半導体装置は、第 1 導電型の半導体領域と第 1 導電型の半導体領域上に形成された第 2 導電型の半導体領域とで構成される複数の受光素子と、それぞれの受光素子間を分離するために第 2 導電型の半導体領域を貫通して第 1 導電型の半導体領域に達する溝に絶縁体または誘電体を埋め込んだ分離領域と、分離領域上に形成された電極と、電極と第 1 導電型の半導体領域とを電氣的に接続するために分離領域を貫通して第 1 導電型の半導体領域に達する開口に導電体を埋め込んだコンタクト部とを備えたものである。

この構成によれば、各受光素子間を絶縁体または誘電体の分離領域で分離することによって、寄生容量を低減できるため受光素子の周波数特性を向上できる。さらに、分離領域に形成した開口に導電体を埋め込んだコンタクト部により、受光素子を構成する第 1 導電型の半導体領域と電極とを電氣的に接続することによって、シリーズ抵抗を低減することができるため、受光素子の周波数特性をより向上できる。

つまり、受光素子の周波数特性を決定する $f = 1 / (2 \pi R C)$ 、(R はシリーズ抵抗、C は寄生容量) の式において、寄生容量の低減に加え、シリーズ抵抗の低減により相乗的に受光素子の周波数特性を向上できる。

また、本発明において、開口に導電体を埋め込んだコンタクト部を、複数の全ての受光素子を取り囲むように配置した構成とすることによって、全ての受光素子で発生したキャリアを均一に最短ルートで吸い上げることができるため周波数特性をさらに向上できる。

また、本発明において、第 1 導電型の半導体領域が、中層の第 1 導電型の不純物濃度を上層および下層よりも高くした上層、中層および下層の 3 層からなり、導電体を埋め込む開口を第 1 導電型の半導体領域の中

層に達するように形成した構成が好ましい。この構成によれば、第 1 導電型の半導体領域内の中層の不純物濃度を高くしたことにより、その下の下層で発生した拡散移動による低速なキャリア成分をカットできるため周波数特性の低下を阻止できる。さらに、開口に埋め込まれた導電体を介して不純物濃度の高い中層を電極と接続しているため、不純物濃度の高い中層によりシリーズ抵抗が低減されることにより、大幅にシリーズ抵抗を低減でき、受光素子の周波数特性をさらに向上できる。

また、本発明において、導電体の直下に第 1 導電型の半導体領域よりも第 1 導電型の不純物濃度の高い高濃度領域を設けることにより、導電体と第 1 導電型の半導体領域との接続抵抗値を小さくできる。

また、本発明において、導電体として、ドーパドポリシリコンまたはタングステンのように低抵抗な材料を用いることが好ましい。

本発明において、受光素子の形成領域以外の第 1 導電型の半導体領域上に受光素子に接続される回路を内蔵した構成とすることが好ましい。このように、回路を同一チップに内蔵することによって、特に外来ノイズに強く、高速動作が可能な光半導体装置を実現できる。

図面の簡単な説明

図 1 は、本発明の第 1 の実施の形態の光半導体装置の構造を示す断面図である。

図 2 は、本発明の第 2 の実施の形態の光半導体装置の構造を示す断面図である。

図 3 は、本発明の第 3 の実施の形態の光半導体装置の構造を示す断面図である。

図 4 は、本発明の第 4 の実施の形態の光半導体装置の構造を示す断面図である。

図 5 は、本発明の第 4 の実施の形態における電流電圧変換回路の回路図である。

図 6 は、従来の光半導体装置の構造を示す断面図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について図面を用いて説明する。

（第 1 の実施の形態）

図 1 は、本発明の第 1 の実施の形態における光半導体装置の構造を示す断面図である。図 1 において、1 は複数の受光素子（ホトダイオード）が形成された受光素子形成領域である。2 は P 型半導体基板、3 は P 型半導体基板 2 上に成膜された N 型半導体層の形成層（形成領域）、4 は N 型半導体層（3）上に成膜された絶縁膜、5 は受光素子に形成された反射防止膜、6 は複数の受光素子間を分離する絶縁体または誘電体分離領域である。7 は受光素子のカソード領域、8 はカソード領域 7 上に形成されたカソードコンタクト領域、9 はカソードコンタクト領域 8 上に形成されたカソード電極である。一方、10 はアノード領域である P 型半導体基板 2 上に選択的に形成された P⁺ 型領域からなるアノード引き出し領域、11 は分離領域 6 内をエッチングにより開口した領域にアノードコンタクトを取るための低抵抗の導電体を埋め込んだ領域である。12 は導電体埋め込み領域 11 上に形成されたアノード電極である。P 型半導体基板 2 上に成膜された N 型半導体層（3）は、カソード領域 7 を構成する N⁻ 型領域と、カソードコンタクト領域 8 を構成する N⁺ 型領域として存在している。

この第 1 の実施の形態における光半導体装置の製造方法の一例を説明する。まず、P 型半導体基板 2 上に、エピタキシャル成長により N 型半導体層の形成層 3 を成膜する。次に、例えば、N 型半導体層の形成層 3

を選択的にエッチングし、局部的にパイロジェニック方式などで熱酸化を行いリセスLOCOSを成長させて酸化膜よりなる分離領域6を形成する。その後、N型半導体層の形成層3の表面に、N型不純物を低加速で極浅のイオン注入をしてカソードコンタクト領域8を形成することにより、同時にカソード領域7が決定される。そして、例えば、ドライエッチングによって分離領域6の所定部分をエッチングしてP型半導体基板2に到達する開口を形成した後、その開口にP⁺型不純物をイオン注入してアノード引き出し領域10を形成する。さらに、P型不純物によるドーパドポリシリコンを埋め込み、エッチバックにより表面のドーパドポリシリコンのみを除去して導電体を埋め込んだ領域11を形成する。次に、例えば減圧CVD法によりSiN膜を成膜させた後、常圧CVD法により酸化膜を成膜することで全面に絶縁膜4（SiN膜と酸化膜よりなる）を形成する。次に、カソードコンタクト領域8および導電体を埋め込んだ領域11とコンタクトを取るため、選択的にドライエッチングにより絶縁膜4の所定部分をエッチングし開口する。そして、スパッタ方式によりアルミニウムを堆積させた後、パターンニングしてカソード電極9およびアノード電極12を形成する。最後に、受光部の反射防止膜領域のみをウェットエッチングによって上記の常圧CVD法で成膜した酸化膜を除去することで反射防止膜5（上記のSiN膜よりなる）を形成して、第1の実施の形態における光半導体装置が完成する。

本実施の形態の構造においては、アノード領域となるP型半導体基板2とカソード領域7のPN接合部近傍で吸収された光によりキャリアが生成されて光電流として外部に出力されるので、特に半導体材料がシリコンでは光の浸入深さが深い赤外光の場合に受光感度に関して有利な構造である。特に、受光素子間の分離が絶縁体または誘電体分離領域6であるため寄生容量が低減され、かつ、低抵抗の導電体（11）を埋め込

んでアノード領域となるP型半導体基板2から直接コンタクトを取ることにによりシリーズ抵抗が低減されるため、 $f = 1 / (2 \pi R C)$ 、(Rはシリーズ抵抗、Cは寄生容量)の式で表される受光素子の周波数特性が向上することになる。

(第2の実施の形態)

図2は、本発明の第2の実施の形態における光半導体装置の構造を示す断面図である。図2において、13はP型半導体基板2上に選択的に形成されたトレンチ下のP⁺型領域からなるアノード引き出し領域、14は受光領域の外周をトレンチ構造の開口を行った領域にアノードコンタクトを取るための低抵抗の導電体を埋め込んだ領域である。その他の構成は、第1の実施の形態と同じである。

第2の実施の形態では、複数の受光素子が形成された受光領域の外周をトレンチ構造で囲み、そのトレンチ内に導電体を埋め込んでトレンチ下でコンタクトを取るようにしている。すなわち、複数の受光素子が形成された受光領域の外周を囲むように絶縁体または誘電体分離領域6内にトレンチ構造の開口を設け、その開口に導電体を埋め込んで導電体埋め込み領域14としている。また、導電体埋め込み領域14直下のP⁺型のアノード引き出し領域13と、導電体埋め込み領域14上のアノード電極12は、導電体埋め込み領域14同様、受光領域の外周を囲むように形成されている。

この第2の実施の形態の構成の製造方法は、第1の実施の形態とは、P⁺型のアノード引き出し領域13、導電体埋め込み領域14およびアノード電極12を形成する領域(範囲)が異なるだけであり、その他は第1の実施の形態と同様にして製造できる。

第2の実施の形態では、第1の実施の形態と同様の効果が得られることに加え、前述の構成により、アノード領域であるP型半導体基板2で

発生したキャリアを均一に最短ルートで吸い上げることができるため周波数特性をより向上できる。

(第3の実施の形態)

図3は、本発明の第3の実施の形態における光半導体装置の構造を示す断面図である。図3において、15はP型半導体基板2上に形成されたP⁺型埋め込み領域、16はP⁺型埋め込み領域15上に形成されたP⁻型のアノード領域である。17はP⁺型埋め込み領域15に接しP⁺型埋め込み領域15と同等のP型不純物濃度もしくはP⁺型埋め込み領域15よりも高いP型不純物濃度のP⁺型領域からなるアノード引き出し領域、18は分離領域6内をエッチングにより開口した領域にアノードコンタクトを取るために低抵抗の導電体を埋め込んだ領域であり、その下にアノード引き出し領域17が形成されている。その他の構成は、第1の実施の形態と同じである。

第3の実施の形態においては、第1の実施の形態に対し、受光領域の直下にP⁺型埋め込み領域15を形成し、P⁺型埋め込み領域15に対しアノードコンタクトをとるようにした構成であり、P⁺型埋め込み領域15の不純物濃度をP型半導体基板2より高くすることによってポテンシャルバリアが高くなるため、P⁺型埋め込み領域15直下で発生した拡散移動による低速なキャリア成分をカットできるため周波数特性の低下を阻止できる。さらにP⁺型埋め込み領域15によりシリーズ抵抗が低減される上に、低抵抗の導電体を埋め込んでP⁺型埋め込み領域15と直接コンタクトを取る構造にすることで、大幅にシリーズ抵抗が低減できるため受光素子の周波数特性を向上できる。

なお、P⁻型のアノード領域16は、P型半導体基板2よりもP型不純物濃度が低い必要性はなく、P⁺型埋め込み領域15との境界まで空乏層が伸びきる不純物濃度に設定することが重要であり、これにより、

P⁻型のアノード領域 16 で生成されたキャリアが電界によりドリフトされて高速移動することができる。

この第 3 の実施の形態における光半導体装置の製造方法の一例を説明する。まず、半導体基板 2 上に、P 型不純物をイオン注入して P⁺ 型埋め込み領域 15 を形成後、エピタキシャル成長によりアノード領域 16 となる P⁻ 型半導体層を成膜する。さらに、P⁻ 型半導体層上に、エピタキシャル成長により N 型半導体層の形成層 3 を成膜する。次に、例えば、N 型半導体層の形成層 3 を選択的にエッチングし、局部的にパイロジェニック方式などで熱酸化を行いリセス LOCOS を成長させて酸化膜よりなる分離領域 6 を形成する。その後、N 型半導体層の形成層 3 の表面に、N 型不純物を低加速度で極浅のイオン注入をしてカソードコンタクト領域 8 を形成することにより、同時にカソード領域 7 が決定される。そして、例えば、ドライエッチングによって分離領域 6 の所定部分をエッチングして P⁺ 型埋め込み領域 15 に到達する開口を形成した後、その開口に P⁺ 型不純物をイオン注入してアノード引き出し領域 17 を形成する。さらに、P 型不純物によるドーパドポリシリコンを埋め込み、エッチバックにより表面のドーパドポリシリコンのみを除去して導電体を埋め込んだ領域 18 を形成する。次に、例えば減圧 CVD 法により SiN 膜を成膜させた後、常圧 CVD 法により酸化膜を成膜することで全面に絶縁膜 4 (SiN 膜と酸化膜よりなる) を形成する。次に、カソードコンタクト領域 8 および導電体を埋め込んだ領域 18 とコンタクトを取るため、選択的にドライエッチングにより絶縁膜 4 の所定部分をエッチングし開口する。そして、スパッタ方式によりアルミニウムを堆積させた後、パターンニングしてカソード電極 9 およびアノード電極 12 を形成する。最後に、受光部の反射防止膜領域のみをウェットエッチングによって上記の常圧 CVD 法で成膜した酸化膜を除去することで反射防

止膜 5（上記の SiN 膜よりなる）を形成して、第 3 の実施の形態における光半導体装置が完成する。

上記の第 1、第 2、第 3 の実施の形態の構造では、絶縁体または誘電体分離領域 6 の幅を $1 \sim 2 \mu\text{m}$ 以下とすることが可能になり、入射する光の検出精度が改善されるだけでなく、集積度を上げることと、受光素子間の分離幅の制限が低減されるため、所望の受光部の設計ができるという利点がある。

また、第 1、第 3 の実施の形態の構造では、導電体の埋め込み領域 11、18 の開口面積を数 μm^2 程度にすることが可能であるため、素子のレイアウトの自由度が大きいという利点がある。

なお、第 1、第 2、第 3 の実施の形態における低抵抗の導電体の埋め込み領域 11、14、18 は、前述のように、ドーパドポリシリコンを埋め込んだ後、エッチバックにより表層部のドーパドポリシリコンを取り除いて形成する方法以外に、プラグ方式を用いてタングステンを埋め込んで形成する方法がある。

また、第 1、第 2、第 3 の実施の形態では、第 1 導電型を P 型、第 2 導電型を N 型として本発明を説明したが、各部の導電型を逆にして第 1 導電型を N 型、第 2 導電型を P 型としても、各実施の形態において同様の効果が得られる。

（第 4 の実施の形態）

図 4 は、本発明の第 4 の実施の形態における光半導体装置の構造を示す断面図である。図 4 において、19 はトランジスタ形成領域である。20 は N^+ 型コレクタ埋め込み領域、21 は N^+ 型コレクタ埋め込み領域 20 上に選択的に形成された N 型コレクタ領域、22 は N^+ 型コレクタ埋め込み領域 20 の周辺上に選択的に形成された N^+ 型コレクタ引き出し領域、23 は N^+ 型コレクタ引き出し領域 22 上に形成された N^+

型コレクタコンタクト領域、24はN⁺型コレクタコンタクト領域23上に形成されたコレクタ電極である。また、25はN型コレクタ領域21に選択的に形成されたP型ベース領域、26はP型ベース領域25の周辺部片側上に選択的に形成されたP⁺型ベースコンタクト領域、27はP⁺型ベースコンタクト領域26上に形成されたベース電極である。一方、28はP⁺型ベースコンタクト領域26に対向して選択的に形成されたN⁺型エミッタ領域、29はN⁺型エミッタ領域28上に形成されたエミッタ電極である。その他の受光素子形成領域1の構成は、第3の実施の形態と同じである。なお、受光素子形成領域1の構成を第1、第2の実施形態と同じ構成としても構わない。

以下に、第4の実施の形態に関する回路構成の例を説明する。

図5は、電流電圧変換の回路を示す図であり、30は受光素子、31は受光素子に入射される光信号、32はアンプ、33はインピーダンスである。

図5に示すような回路において受光素子30に入射された光信号31が光電変換され、この電流がトランジスタと容量素子と抵抗素子などで構成されるアンプ32およびインピーダンス33により電流電圧変換されて信号出力される。CDなどの光ピックアップ装置では、それぞれの受光領域から出力される光電流による信号検出を行うだけでなく、通常、複数の受光素子を用いてレーザ光の位置や形状の変化からトラッキング信号やフォーカス信号を得ることにより光ピックアップ装置を制御している。このように受光素子に接続される回路を同一チップに内蔵することによって、特に外来ノイズに強く、高速動作が可能な光半導体装置を実現できる。

請 求 の 範 囲

1. 第1導電型の半導体領域と前記第1導電型の半導体領域上に形成された第2導電型の半導体領域とで構成される複数の受光素子と、

それぞれの前記受光素子間を分離するために前記第2導電型の半導体領域を貫通して前記第1導電型の半導体領域に達する溝に絶縁体または誘電体を埋め込んだ分離領域と、

前記分離領域上に形成された電極と、

前記電極と前記第1導電型の半導体領域とを電氣的に接続するために前記分離領域を貫通して前記第1導電型の半導体領域に達する開口に導電体を埋め込んだコンタクト部とを備えた光半導体装置。

2. 前記開口に前記導電体を埋め込んだ前記コンタクト部を、複数の全ての前記受光素子を取り囲むように配置した請求項1に記載の光半導体装置。

3. 前記第1導電型の半導体領域は、中層の第1導電型の不純物濃度を上層および下層よりも高くした前記上層、中層および下層の3層からなり、前記導電体を埋め込む前記開口を前記第1導電型の半導体領域の前記中層に達するように形成した請求項1に記載の光半導体装置。

4. 前記導電体の直下に前記第1導電型の半導体領域よりも第1導電型の不純物濃度の高い高濃度領域を設けた請求項1に記載の光半導体装置。

5. 前記導電体の直下に前記第1導電型の半導体領域よりも第1導電型の不純物濃度の高い高濃度領域を設けた請求項2に記載の光半導体装置。

6. 前記導電体の直下に前記第1導電型の半導体領域よりも第1導電型の不純物濃度の高い高濃度領域を設けた請求項3に記載の光半導体装

置。

7. 前記導電体がドーパドポリシリコンまたはタングステンである請求項 1 に記載の光半導体装置。

8. 前記導電体がドーパドポリシリコンまたはタングステンである請求項 2 に記載の光半導体装置。

9. 前記導電体がドーパドポリシリコンまたはタングステンである請求項 3 に記載の光半導体装置。

10. 前記導電体がドーパドポリシリコンまたはタングステンである請求項 4 に記載の光半導体装置。

11. 前記導電体がドーパドポリシリコンまたはタングステンである請求項 5 に記載の光半導体装置。

12. 前記導電体がドーパドポリシリコンまたはタングステンである請求項 6 に記載の光半導体装置。

13. 前記受光素子の形成領域以外の前記第 1 導電型の半導体領域上に前記受光素子に接続される回路を内蔵した請求項 1 に記載の光半導体装置。

14. 前記受光素子の形成領域以外の前記第 1 導電型の半導体領域上に前記受光素子に接続される回路を内蔵した請求項 2 に記載の光半導体装置。

15. 前記受光素子の形成領域以外の前記第 1 導電型の半導体領域上に前記受光素子に接続される回路を内蔵した請求項 3 に記載の光半導体装置。

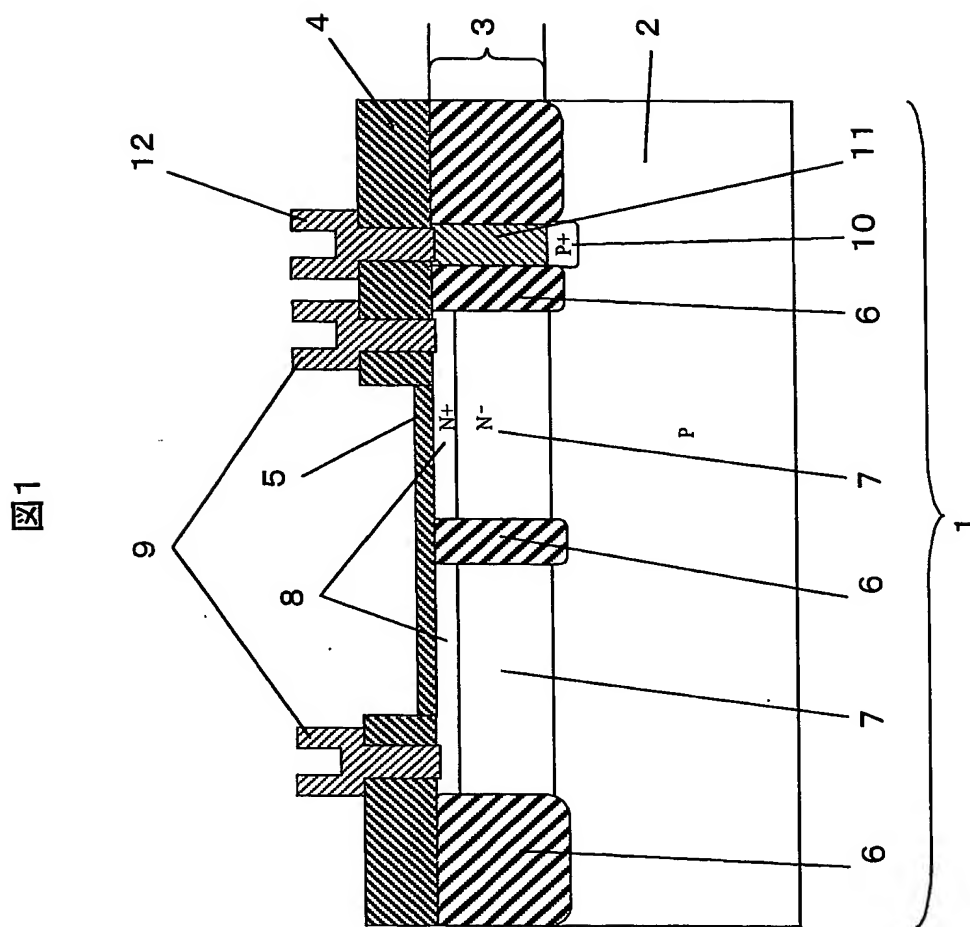


図2

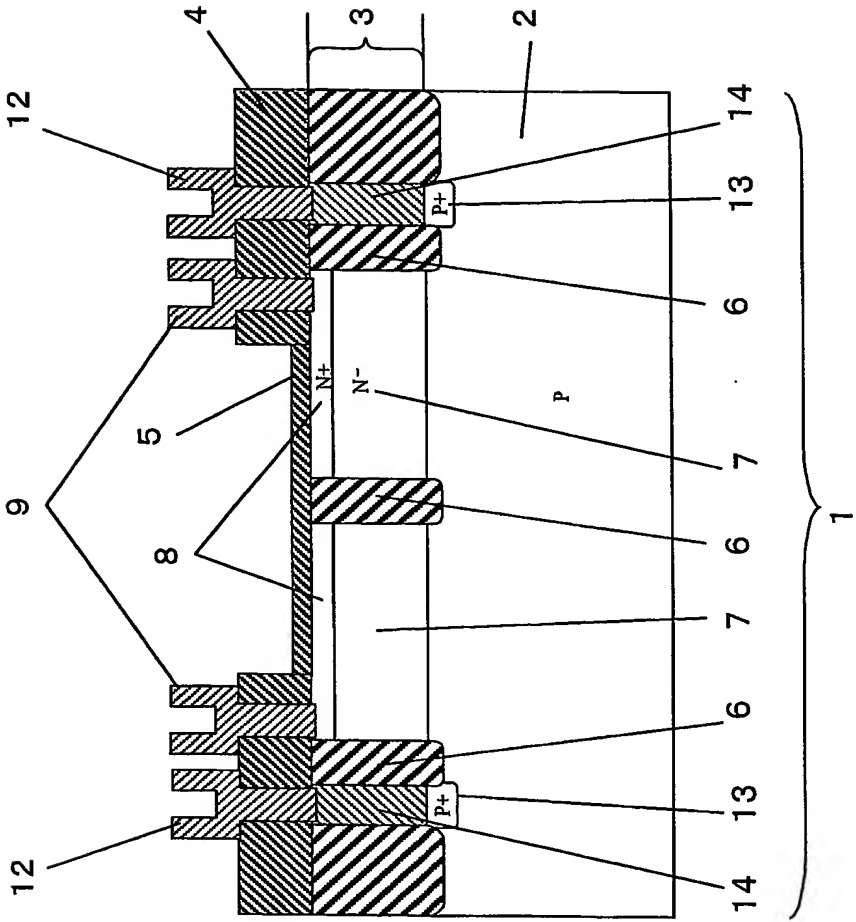


図3

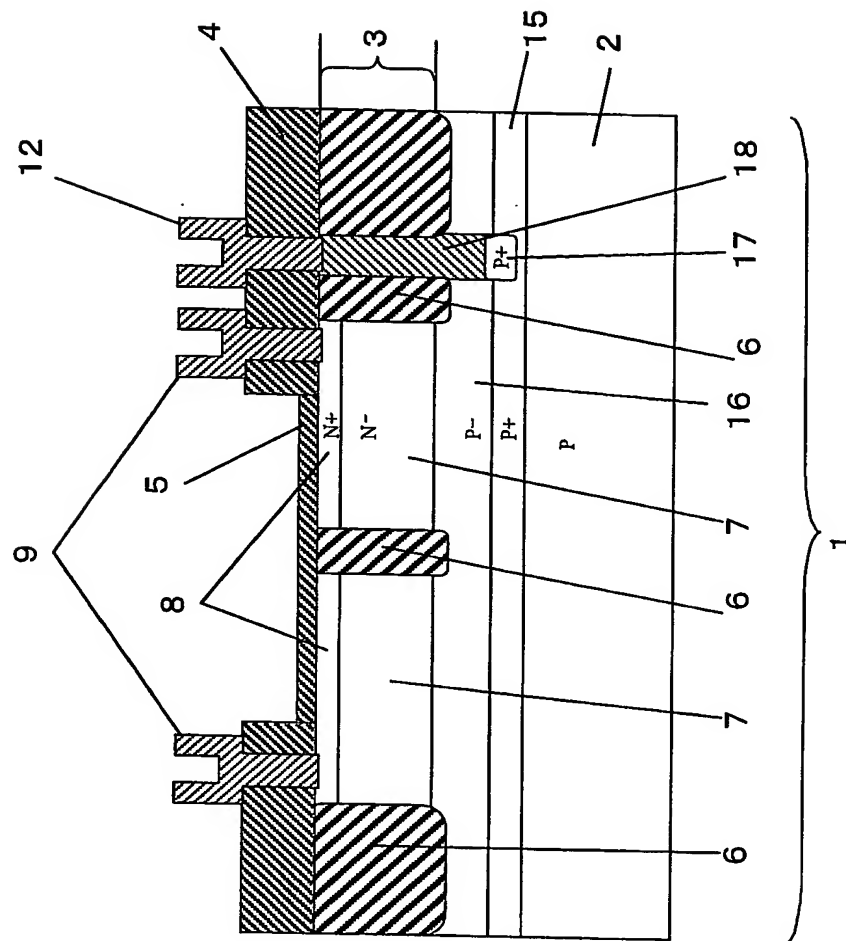


図4

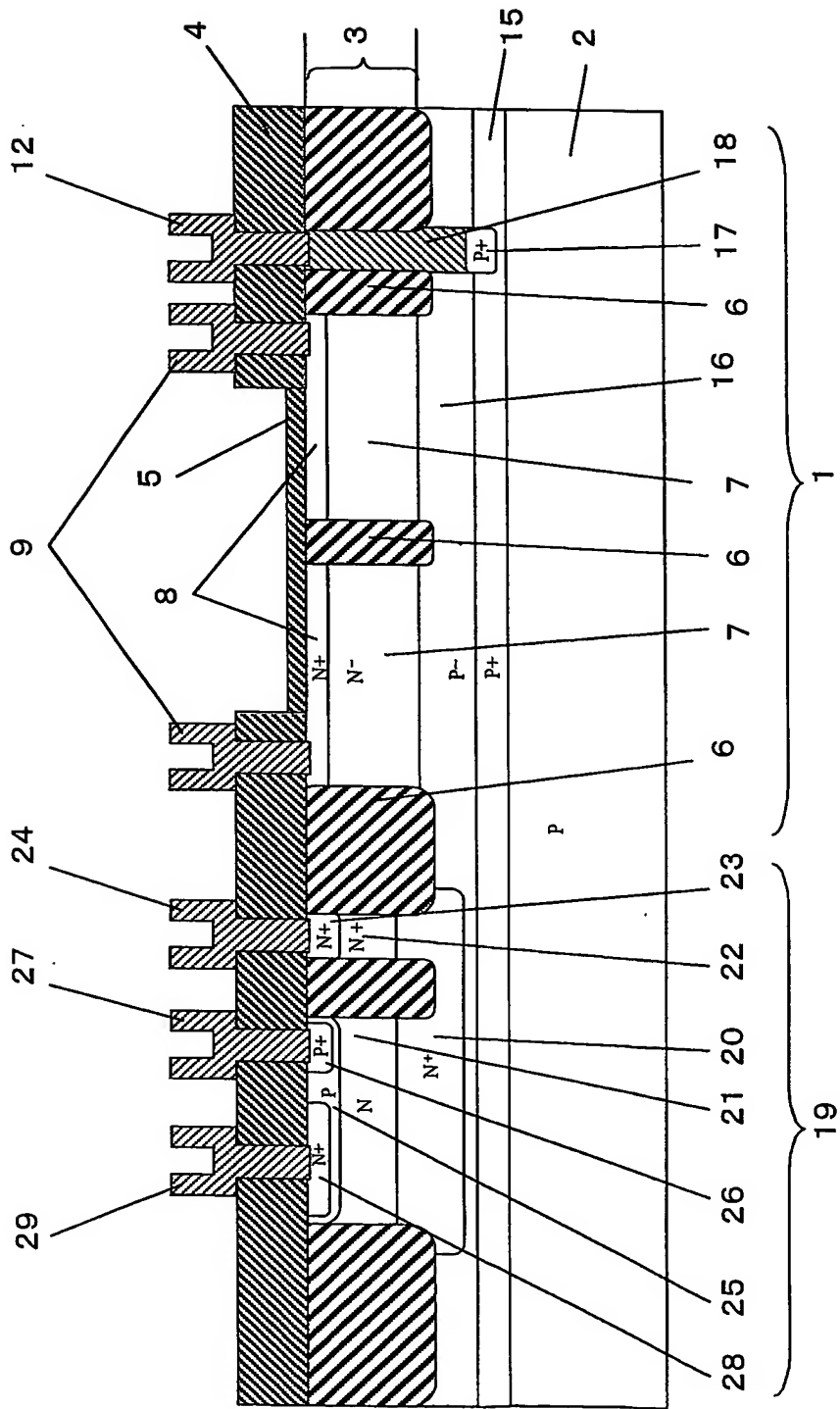


图5

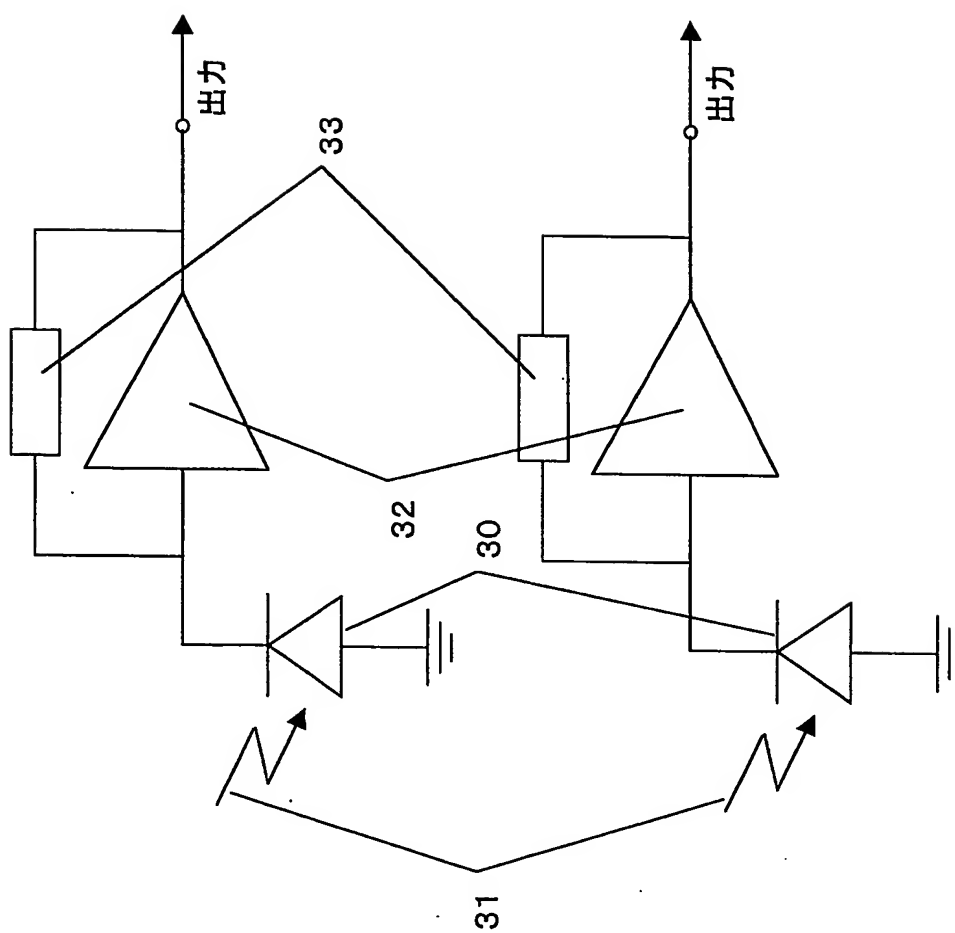
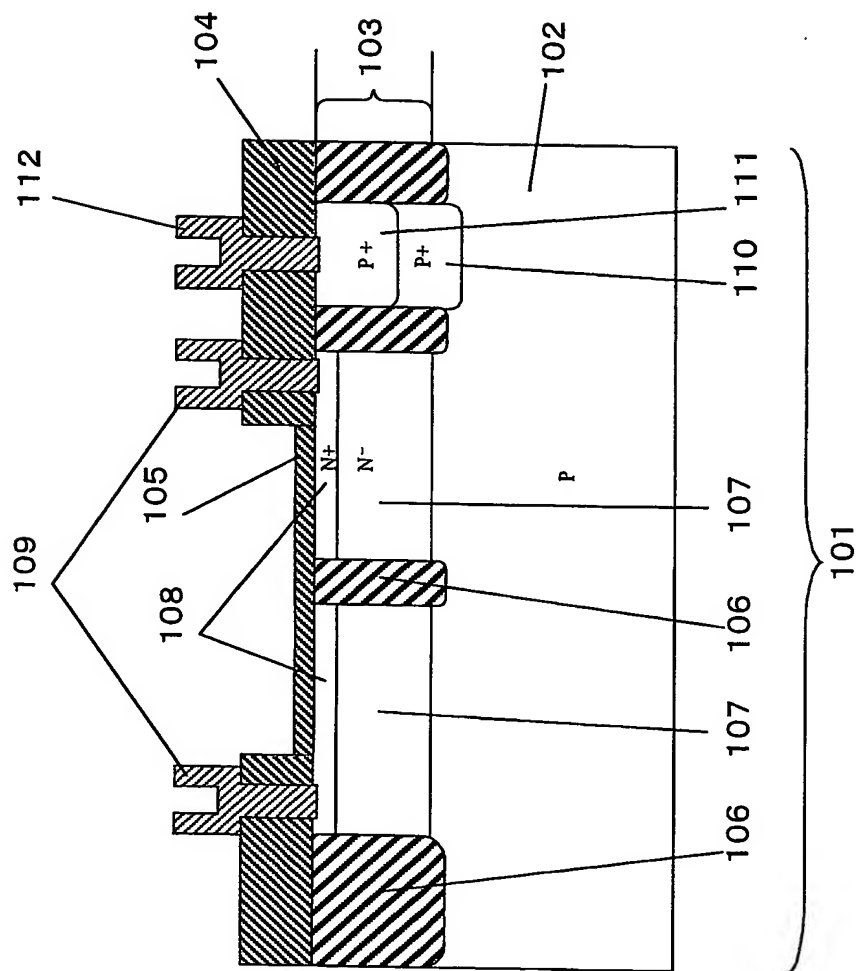


図6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14278

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L31/10, H01L27/14

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L31/10-31/119, H01L27/14-27/148

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-280536 A (Matsushita Electric Industrial Co., Ltd.), 27 September, 2002 (27.09.02), (Family: none)	1-15
Y	JP 3-89562 A (Hamamatsu Photonics Kabushiki Kaisha), 15 April, 1991 (15.04.91), & JP 3-89550 A & JP 3-89561 A & JP 3-89563 A & JP 3-145771 A & JP 3-163878 A & US 5410175 A & US 5598022 A	1-15
Y	JP 6-13643 A (Sanyo Electric Co., Ltd.), 21 January, 1994 (21.01.94), & EP 576009 A & US 5418396 A & KR 208643 B	1-15

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
16 January, 2004 (16.01.04)Date of mailing of the international search report
03 February, 2004 (03.02.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/14278

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-255888 A (Matsushita Electronics Corp.), 01 October, 1996 (01.10.96), (Family: none)	1-15
A	JP 2001-339057 A (Fuji Xerox Co., Ltd.), 07 December, 2001 (07.12.01), Column 24 (Family: none)	7-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L31/10, H01L27/14		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl ⁷ H01L31/10-31/119, H01L27/14-27/148		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2004年 日本国登録実用新案公報 1994-2004年 日本国実用新案登録公報 1996-2004年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-280536 A (松下電器産業株式会社) 2002.09.27 (ファミリーなし)	1-15
Y	JP 3-89562 A (浜松ホトニクス株式会社) 1991.04.15 & JP 3-89550 A & JP 3-89561 A & JP 3-89563 A & JP 3-145771 A & JP 3-163878 A & US 5410175 A & US 5598022 A	1-15
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	16.01.04	国際調査報告の発送日
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 浜田 聖司 電話番号 03-3581-1101 内線 3253

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 6-13643 A (三洋電機株式会社) 1994. 01. 21 & EP 576009 A & US 5418396 A & KR 208643 B	1-15
A	JP 8-255888 A (松下電子工業株式会社) 1996. 10. 01 (ファミリーなし)	1-15
A	JP 2001-339057 A (富士ゼロックス株式会社) 【0024】欄 2001. 12. 07 (ファミリーなし)	7-12